

Серия 1836

**МИКРОСХЕМА ИНТЕГРАЛЬНАЯ
КН1836ВМ4**

ИТТиП, Зеленоград

Оглавление

1. Введение.	3
1.1. Основные технические характеристики.	3
1.2. Структура сопроцессора.	4
2. Данные.	5
2.1. Целые числа.	5
2.1.1. Форматы целых чисел.	5
2.1.2. Физическое размещение в памяти.	6
2.1.3. Диапазон представления целых чисел.	6
2.1.4. Команды для работы с целыми числами.	7
2.2. Вещественные числа.	7
2.2.1. Форматы вещественных чисел.	7
2.2.2. Машинное представление вещественных чисел.	7
2.2.3. Физическое размещение в памяти.	8
2.2.4. Диапазон представления вещественных чисел.	9
2.2.5. Округление.	11
2.2.6. Переполнение и антипереполнение.	11
2.2.7. Прерывания.	12
3. Регистры сопроцессора.	12
3.1. Регистры - аккумуляторы.	12
3.2. Регистр состояния (FPS).	12
3.3. Назначение разрядов регистра FPS.	13
3.4. Регистры особого случая FEA И FEC.	15
4. Команды сопроцессора.	15
4.1. Агрессия данных.	15
4.1.1. Агрессия целых чисел.	15
4.1.2. Агрессия вещественных чисел.	15
4.1.3. Классы команд по агрессии.	16
4.2. Форматы команд.	16
4.2.1. Безоперандные команды.	16
4.2.2. Однооперандные команды.	17
4.2.3. Двухоперандные команды.	17
4.3. Описание команд.	18
CFCC - копирование признаков результата.	18
SETF - установка режима одинарной точности вещественного.	18
SETD - установка режима двойной точности вещественного.	19
SETI - установка режима короткого целого.	19
SETL - установка режима длинного целого.	20
LDFPS - загрузка регистра состояния.	20
STFPS - запись регистра состояния.	21
STST - запись кода ошибки и адреса команды.	21
CLRF,CLRD - обнуление.	22
TSTF,TSTD - проверка.	22
ABSF,ABSD - получение абсолютного значения.	23
NEGF,NEGD - изменение знака.	23
MULF,MULD - умножение.	24
MODF,MODD - умножение с разделением.	25
ADDF,ADDD - сложение.	27
LDF,LDD - загрузка.	28
SUBF,SUBD - вычитание.	29
CMPF,CMPD - сравнение.	30
STF,STD - запись.	30
DIVF,DIVD - деление.	31
STEXP - запись порядка.	32
LDEXP - загрузка порядка.	33
STCFI,STCFL,STCDI,STCDL - запись с преобразованием в целое.	34

<i>STCFD,STCDF - запись с преобразованием формата.</i>	<i>35</i>	
<i>LDCIF,LDCLF,LDCID,LDCLD -</i>		
<i>загрузка целых с преобразованием.</i>		<i>36</i>
<i>LDCDF,LDCFD- загрузка с преобразованием формата.</i>	<i>37</i>	
<i>5. Система команд сопроцессора.</i>		<i>38</i>
<i>6. Назначение выводов микросхемы 1836BM4.</i>	<i>39</i>	
<i>7. Временные диаграммы обмена.</i>	<i>41</i>	
<i>7.1. Временная диаграмма чтения данных по адресу</i>	<i>41</i>	
<i>7.2. Временная диаграмма записи данных по адресу.</i>	<i>41</i>	
<i>7.3. Временная диаграмма чтения команды.</i>	<i>42</i>	
<i>7.4. Временная диаграмма передачи данных из BM4 в BM3.</i>	<i>42</i>	
<i>7.5. Временная диаграмма передачи данных из BM3 в BM4.</i>	<i>42</i>	
<i>Приложение 1. Система команд процессора 1836BM3.</i>	<i>43</i>	
<i>Приложение 2. Назначение выводов микросхемы 1836BM3.</i>	<i>45</i>	
<i>Приложение 3. Статические параметры микросхемы 1836BM4.</i>	<i>46</i>	
<i>Приложение 4. Габаритный чертеж микросхемы 1836BM4.</i>	<i>47</i>	
<i>Приложение 5. Структурная схема сопроцессора.</i>	<i>48</i>	

1. Введение

Микросхема 1836ВМ4 представляет собой однокристалльный микропроцессор обработки чисел в формате с плавающей запятой, предназначенный для работы в качестве сопроцессора под управлением центрального процессора 1836ВМ3, выполняющего адресацию операндов и управление обменами с памятью.

Сопроцессор чисел с плавающей запятой подключается к локальной шине центрального процессора путем объединения шин данных и синхросигналов (рис.1.1), синхронно с ним принимает поток команд, выделяет из этого потока команды обработки чисел с плавающей запятой и обрабатывает их. Причем адресацию операндов осуществляет центральный процессор, а сопроцессор захватывает необходимые для обработки данные в фазе чтения и выдает обработанные данные в соответствующей фазе записи, а также осуществляет содержательную обработку.

Сопроцессор 1836ВМ4 программно совместим с процессором FP-11С фирмы DEC, выполняет 26 команд над числами одинарной и двойной точности (с учетом модальностей по форматам данных - 46 команд), имеет шесть 64-разрядных регистров для хранения чисел и используется для повышения производительности обработки цифровой информации в вычислительных системах (более чем в 50 раз по сравнению с программной эмуляцией).

Далее в тексте процессор чисел с плавающей запятой обозначается как FPP (Floating Point Processor), а числа в формате с плавающей запятой - как вещественные числа.

1.1. Основные технические характеристики

Система команд	программная совместимость с процессорами PDP-11 (1836ВМ3) и FP-11С (1836ВМ4)
Системная магистраль	Q-22BUS
Разрядность данных	16
Разрядность адреса	22
Представление чисел	с фиксированной запятой 16/32-разрядных (1836ВМ3) с фиксированной запятой 16/32-разрядных и плавающей запятой 32/64-разрядных (1836ВМ4)
Число регистров общего назначения	8 шестнадцатиразрядных (1836ВМ3) 6 шестидесятичетырехразрядных (1836ВМ4)
Объем адресуемой памяти	4 Мбайт
Диспетчер памяти	2 уровня защиты, 16 страниц
Число уровней прерываний	4
Тактовая частота синхронизации	16 МГц

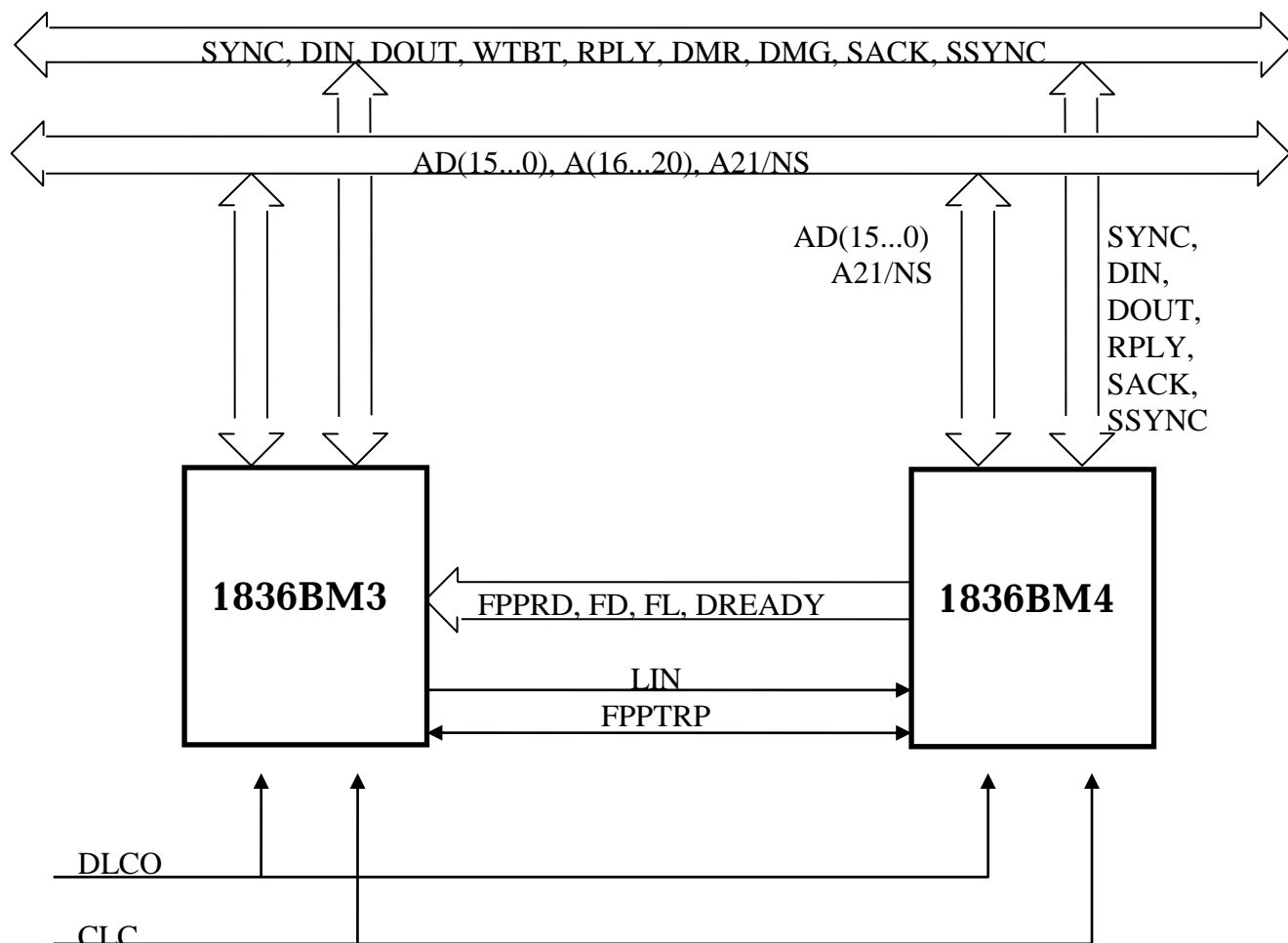


Рис. 1.1. Схема соединения микросхем 1836BM3 и 1836BM4

1.2. Структура сопроцессора

Блочная схема структуры сопроцессора приведена в приложении 5. Кратко определим назначение блоков.

ИНТЕРФЕЙСНЫЙ БЛОК отслеживает выборку команд центральным процессором и все команды "подхватывает" с шины, передавая в свой **КОНВЕЙЕР КОМАНД** (аналог конвейера 1836BM3), селектирует те из них, которые требуют его участия и начинает их обработку, взаимодействуя при этом с основным процессором. Если команды требуют чтения данных из памяти или из основного процессора (их выдачи в память или основной процессор), он отслеживает и пропускает фазы адресации, а в фазе появления данных на шине "подхватывает" их и фиксирует в своем **ВХОДНОМ РЕГИСТРЕ** (выдает на шину из **ВЫХОДНОГО РЕГИСТРА**).

Если данными являются числа, то они передаются по шине в 64 разрядный **РЕГИСТР ДАННЫХ** (при записи извлекаются из него и передаются в выходной регистр). С его помощью происходит "упаковка" или "распаковка" длинных чисел (>64разрядов), а сам тип числа (с плавающей запятой-ПЗ, целое или экспонента числа с ПЗ), возможно вместе с номером части, определяет то место куда число грузится или откуда извлекается. Вместе с тем этот регистр связывает шину данных интерфейсного блока и шины блока обработки.

РЕГИСТР СОСТОЯНИЯ сопроцессора загружается интерфейсным блоком в соответствующей команде. Он определяет форматы чисел с фиксированной и плавающей запятой, формы округления результатов, необходимость прерывания по обработке особых случаев. В нем же фиксируются признаки результатов. Его значение можно выгрузить в память или регистр 1836ВМ3. Возникновение особых случаев приводит к фиксации адреса команды в **РЕГИСТРЕ АДРЕСА ОШИБКИ** и кода ошибки в **РЕГИСТРЕ КОДА ОШИБКИ**. Они обнуляются при начальном включении сопроцессора, а последнее их значение можно выгрузить.

БЛОК ОБРАБОТКИ активизируется в командах загрузки и выгрузки 6 **РЕГИСТРОВ-АККУМУЛЯТОРОВ**, а также в командах обработки и преобразования данных. Обработка мантисс сосредоточена в **БЛОКЕ СДВИГА МАНТИСС**, **БЛОКЕ ОПРЕДЕЛЕНИЯ ПОРЯДКА МАНТИССЫ** и **БЛОКЕ ОБРАБОТКИ МАНТИСС**. Название первых двух указывает на действия в них, а в последнем из указанных осуществляется сложение-вычитание, сравнение, умножение и деление мантисс. Операции над порядками чисел происходит в **БЛОКЕ ОБРАБОТКИ ПОРЯДКОВ**, **БЛОКЕ АНАЛИЗА ПОРЯДКОВ**, а знаков - в **БЛОКЕ ОБРАБОТКИ ЗНАКОВ**. Последовательность и характер обработки определяется **БЛОКОМ МИКРОПРОГРАМНОГО УПРАВЛЕНИЯ**.

2. Данные

FPP допускает использование целых и вещественных чисел. Он осуществляет обработку цифровой информации, представленной в виде 32/64-разрядных чисел с плавающей запятой, а также преобразование 16/32-разрядных чисел с фиксированной запятой в форматы чисел с плавающей запятой при загрузке, и обратное преобразование при выгрузке.

2.1. Целые числа

2.1.1. Форматы целых чисел

FPP оперирует с целыми числами двух форматов: I-формат (16 разрядов), представленный на рис.2.1, и L-формат (32 разряда), представленный на рис.2.2. Целые числа представлены в дополнительном коде. Для положительных чисел и нуля $S=0$, для отрицательных $S=1$.



15 - знак числа;

14...0 - число.

Рис. 2.1. I-формат



31 - знак числа;

30...0 - число.

Рис. 2.2. L-формат

2.1.2. Физическое размещение в памяти

Ячейки памяти, содержащие целые числа, имеют четные адреса. Числа I-формата (рис.2.3) адресуются через 2 байта, L-формата (рис.2.4) - через 4 байта.

...			
15	I	0	A
15	I+1	0	A+2
...			

A - начальный адрес числа I;

A+2 - начальный адрес числа I+1.

Рис. 2.3. Размещение чисел I-формата

...			
31	L	16	A
15	L	0	
31	L+1	16	A+4
15	L+1	0	
...			

A - начальный адрес числа L;

A+4 - начальный адрес числа L+1.

Рис. 2.4. Размещение чисел L-формата

2.1.3. Диапазон представления целых чисел

Границы диапазонов	Значение числа	Код числа
Наименьшее отрицательное число	$-32768 = -2^{15}$	100000
Наибольшее отрицательное число	$-1 = -2^0$	177777
Нуль	0	000000
Наименьшее положительное число	$1 = 2^0$	000001
Наибольшее положительное число	$32767 = 2^{15}-1$	077777

Таблица 2.1. Целые числа I-формата

Границы диапазонов	Значение числа	Код числа
Наименьшее отрицательное число	$-2147483648 = -2^{31}$	100000 000000
Наибольшее отрицательное число	$-1 = -2^0$	177777 777777
Нуль	0	000000 000000
Наименьшее положительное число	$1 = 2^0$	000000 000001
Наибольшее положительное число	$2147483647 = 2^{31}-1$	077777 777777

Таблица 2.2. Целые числа L-формата

2.1.4. Команды для работы с целыми числами

Целые числа читаются из памяти или из регистров целочисленной арифметики, затем преобразуются в вещественные числа и загружаются только в регистры FPP следующими командами: LDCIF, LDCLF, LDCID, LDCLD - загрузка с преобразованием целого числа I-формата или L-формата в вещественное число F-формата или D-формата.

Вещественные числа считываются из регистров FPP, преобразуются в целые числа и записываются в память или регистры целочисленной и адресной арифметики следующими командами: STCFI, STCFL, STCDI, STCDL - считывание вещественного числа F- или D-формата с преобразованием в целое число I- или L-формата.

Таким образом, арифметические действия с использованием целочисленных операндов необходимо всегда предварять преобразованием их в вещественные числа. Результаты операций могут быть преобразованы в целые числа.

2.2. Вещественные числа

2.2.1. Форматы вещественных чисел

FPP оперирует с вещественными числами двух форматов: F-формат (32 разряда), представленный на рис.2.5, и D-формат (64 разряда), представленный на рис.2.6.



- 31 - знак числа;
- 30...23 - порядок числа;
- 22...0 - мантисса числа.

Рис. 2.5. F-формат



- 63 - знак числа;
- 62...55 - порядок числа;
- 54...0 - мантисса числа.

Рис. 2.6. D-формат

2.2.2. Машинное представление вещественных чисел

Вещественные числа в каждом формате состоят из трех частей: знака числа S, порядка E' и мантиссы M'. Для положительных чисел S=0, для отрицательных S=1. Мантисса представлена в виде нормализованной дроби, т.е. ее старший разряд всегда равен единице.

В машинном представлении вещественных чисел вместо полной мантиссы M' записывается M - мантисса без старшего разряда, который называется "скрытым" разрядом. При обработке в FPP этот разряд восстанавливается. Мантисса M' с учетом "скрытого" разряда содержит 24 разряда для F-формата и 56 разрядов для D-формата, и записана в прямом коде.

Порядок числа (E) в машине кодируется порядком E', смещенным в положительную область на 128 (на 200 в восьмеричной системе счисления) ($E = E' + 200$) и занимает разряды с 14 по 7 независимо от формата числа.

Значение вещественного числа в общем виде можно представить как:

$$N = (-1)^S * 2^{E'} * M' = (-1)^S * 2^{E-200} * M',$$

где N - вещественное число;
 S - знак числа;
 E' - порядок числа;
 M' - мантисса числа;
 E - порядок числа в машинном представлении.

Исключение составляют два случая, относящиеся к $E=0$:

- 1) Для представления точного нуля отводится код, содержащий нули во всех разрядах. Этот код может возникнуть в ходе выполнения арифметической операции, или как частный случай переполнения или антипереполнения, если запрещено соответствующее прерывание (разряды регистра состояния FIV или FIU равны нулю).
- 2) Код числа с $E=0$ и хотя бы одной единицей в S или в любом разряде M отводится под представление так называемого "нечисла", которое не обозначает собой никакого реального вещественного числа.

Ситуация "нечисло" может возникнуть только в случаях переполнения и антипереполнения. При этом результат операции запоминается в АС, если разрешено соответствующее прерывание (разряды регистра состояния FIV или FIU равны единице).

"Нечисло" может возникнуть в FPP не только как следствие ухода результата за границы диапазона представимых чисел, но и при чтении из памяти, если не разрешено прерывание по "нечислу" (FIUV=0).

2.2.3. Физическое размещение в памяти

Ячейки памяти, содержащие вещественные числа, имеют четные адреса. Числа F-формата адресуются через 4 байта (рис.2.7), D-формата - через 8 байт (рис.2.8).

	...		
31	F	16	A
15	F	0	
31	F+1	16	A+4
15	F+1	0	
	...		

A - начальный адрес числа F;
A+4 - начальный адрес числа F+1.

Рис. 2.7. Размещение чисел F-формата

$$E = 200 + 3 = 203$$

$$M = 0.1$$

F-формат (код числа: 140700 000000):

31	30	23	22	0
1	10000011	10000000000000000000000000000000		

D-формат (код числа: 140700 000000 000000 000000):

[illegible]

Пример 3. Представление десятичного числа 0.1 в F-формате и D-формате

$$0.1 = 0.000110011(0011)\dots = 0.110011(0011)\dots * 2^{-3}$$

$$S = 0$$

$$E = 200 - 3 = 175$$

$$M' = 0.110011(0011)... \quad M = 0.10011(0011)...$$

F-формат (ког числа: 037314 146314):

31	30	23	22	0
0	01111101	10011001100110011001100		

D-формат (код числа: 037314 146314 146314 146314):

63	62	55	54	0
0	01111101	100110011001100110011001100110011001100110011001100		

Пример 4. Представление десятичного числа -0.1 в F-формате и D-формате

$$-0.1 = -0.000110011(0011)\dots = -0.110011(0011)\dots \cdot 2^{-3}$$

$$S = 1$$

$$E = 200 - 3 = 175$$

$$M' = 0.110011(0011)... \quad M = 0.10011(0011)...$$

F-формат (код числа: 137314 146314):

31	30	23	22	0
1	01111101	10011001100110011001100		

D-формат (код числа: 137314 146314 146314 146314):

63	62	55	54	0
1	01111101	100110011001100110011001100110011001100110011001100		

2.2.5. Округление

При выполнении команд *ADDF,ADDD,SUBF,SUBD,MULF,MULD,MODD,DIVD,DIVD* операции производятся над исходными мантиссами в 64-разрядном операционном блоке, где запятая стоит после первого разряда, т.е. добавляется один разряд расширителя слева, и 39 (при $FD=0$) или 7 (при $FD=1$) разрядов расширителя справа.

При формировании конечного результата в случае усечения (при $FT=1$) лишние разряды отбрасываются, поэтому точность определяется весом младшего оставшегося разряда мантиссы, что обозначается как 1 LSB (LSB - Least Significant Bit - младший значащий бит).

В случае округления (при $FT=0$) к старшему разряду отбрасываемой части прибавляется единица. Таким образом, если вес отбрасываемой части больше или равен половине веса оставшегося младшего разряда мантиссы, то мантисса увеличивается на 1. При этом может произойти переполнение. Точность при округлении составляет $1/2$ LSB, то есть половину веса младшего разряда мантиссы.

Команды *STCDF, LDCDF* выполняются отбрасыванием младших разрядов мантиссы числа *D*-формата (при $FT=1$), при этом точность составляет 1 LSB, или отбрасыванием с предварительным округлением (при $FT=0$), при этом точность составляет $1/2$ LSB. Механизм округления тот же, что и для арифметических команд.

Команды *STCFI, STCFL, STCDI, STCDL* выделяют целую часть вещественного числа, отбрасывая дробную часть независимо от значения *FT*. Результат получается точным, если дробная часть нулевая, а целая часть не превышает разрядную сетку, установленную в соответствии с *FL*.

Если результат не равен целому числу, то округление делается по направлению к нулю, т.е. положительные числа получаются с недостатком, а отрицательные с избытком.

Отметим, что обе формы округления вещественных чисел (как и форма перевода вещественных чисел в целые) симметричны, вследствие чего математическое ожидание ошибки равно нулю.

2.2.6. Переполнение и антипереполнение

Переполнением называется получение в результате операции порядка E' , превосходящего 177. Так как машинный порядок E при переполнении не может быть представлен отведенными ему восемью разрядами, то он оказывается меньше вычисленного на 400.

Например, в результате операции вычисленный порядок $E' = 203$. В машинном представлении это: $203+200=403$, в результате получается $E=3$, что меньше вычисленного на 400.

Антипереполнением называется получение в результате операции порядка E' , меньшего -177. Так как машинный порядок E при антипереполнении не может быть представлен отведенными ему восемью разрядами, то он оказывается больше вычисленного на 400.

Например, в результате операции вычисленный порядок $E'=-203$. В машинном представлении это: $-203+200=-3$, в результате получается $E=375$, что больше вычисленного на 400: $375-400=-3$.

При переполнении и антипереполнении мантисса верна, если соответствующие маски *FPS* установлены ($FIV=1, FIU=1$).

2.2.7. Прерывания

Команды *TSTF, TSTD, ABSF, ABSD, NEGF, NEGD, MULF, MULD, MODF, MODD, ADDF, LDF, LDD, SUBF, SUBD, DIVF, DIVD, STCFI, STCFL, STCDI, STCDL, STCDF, LDEXP, LDCFD, LDCDF* могут приводить к прерыванию выполнения программ по вектору 244. Возможно управление прерываниями через *FPS[14]*:

- 1 - запрет прерывания;
- 0 - разрешение прерывания.

При выполнении условий прерывания, независимо от *FPS[14]*, устанавливается *FPS[15]*. Конкретные причины, приводящие к прерываниям, объяснены в описании вышеперечисленных команд.

3. Регистры сопроцессора

В командах *FPP* используются следующие регистры:

AC0...AC5 (ACcumulators) - регистры-аккумуляторы;

FPS (Floating Point Status register) - регистр состояния *FPP*;

FEA (Floating Exeption Address) - указатель адреса команды, при исполнении которой произошел особый случай;

FEC (Floating Exeption Code) - регистр кода особого случая.

3.1. Регистры - аккумуляторы

В *FPP* программисту доступны 6 регистров-аккумуляторов *AC0...AC5*. Не существует аккумуляторов *AC6* и *AC7*. Их указание в команде приведет к прерыванию по запрещенному коду команды.

Каждый аккумулятор имеет 64 разряда. В операциях могут использоваться 64 или 32 разряда в зависимости от значения разряда *FD (FPS[7])*. Для 32-разрядных операндов используются только старшие разряды (рис.3.1).

В обмене данными между *FPP* и регистрами центрального процессора или памятью участвуют только 4 аккумулятора *AC0...AC3*, а при обмене данными внутри *FPP* можно использовать все шесть аккумуляторов *AC0...AC5*.

63	32 31	0
AC0		
AC1		
AC2		
AC3		
AC4		
AC5		

Рис. 3.1. Регистры - аккумуляторы

3.2. Регистр состояния (FPS)

FPS задает режим работы и отображает состояние *FPP*:

Разряды *FPS [15-14,11-5,3-0]* устанавливаются программно соответствующими командами и определяют режим работы *FPP*. Разряды *FPS [15,3...0]* могут изменяться в ходе выполнения каждой команды в соответствии с ее результатом. Разряды *FPS [13,12,4]* не используются. При записи в *FPS* их содержимое может быть произвольным, при чтении *FPS* они будут содержать нули.

15	14		11	10	9	8	7	6	5		3	2	1	0
FER	FID		FIUV	FIU	FIV	FIC	FD	FL	FT		FN	FZ	FV	FC

FER (Floating Error) - признак ошибки FPP;
FID (Interrupt Disable) - общая маска прерываний;
FIUV (Interrupt on Undefined Variable) - маска "нечисла";
FIU (Interrupt on Underflow) - маска антипереполнения;
FIV (Interrupt on oVerflow) - маска переполнения;
FIC (Interrupt on Integer Conversion error) - маска ошибки преобразования целое число;
FD (Floating Double precision mode) - указатель формата вещественного числа;
FL (Floating Long integer mode) - указатель формата целого числа;
FT (Floating chop mode) - указатель формы округления;
FN (Floating Negative) - признак знака результата;
FZ (Floating Zero) - признак нулевого результата;
FV (Floating oVerflow) - признак переполнения;
FC (Floating Carry) - признак переноса.

Рис 3.2. Регистр состояния (FPS)

FPS[11...8] маскируют 4 особых случая: "нечисло", антипереполнение, переполнение и ошибку преобразования (разряды разрешения прерывания).

Обнуление *FPS[11...8]* означает маскирование соответствующего особого случая, и в этом случае прерывания не происходит. Иначе говоря, это разряды разрешения соответствующего прерывания. Разряд *FPS[15]* сохраняет свое прежнее значение.

Установка *FPS[11...8]* означает размаскирование соответствующего особого случая, и тогда:

1. Происходит прерывание по вектору 244 при *FFS[14]=0*;
2. Устанавливается *FPS[15]=1*.

3.3. Назначение разрядов регистра FPS

15 разряд (FER) - признак ошибки FPP

FPP устанавливает *FPS[15]*, если имеет место:

1. Деление на нуль;
2. Запрещенный код команды;
3. Любой размаскированный особый случай: "нечисло", антипереполнение, переполнение, ошибка преобразования.

FPS[15]=1 независимо от содержания *FPS[14]*. Обнуляется только командой загрузки регистра состояния LDFPS.

14 разряд (FID) - маска прерывания

Если *FPS[14]=1*, то все прерывания от FPP запрещены. Если *FPS[14]=0*, то любой размаскированный особый случай вызывает прерывание центрального процессора по вектору 244. Значение бита *FID* не оказывает влияния на установку бита *FER* и фиксацию *FEC* и *FEA*.

13,12 разряды не используются

11 разряд (FIUV) - маска "нечисла"

Если $FPS[11]=1$, то при получении из памяти "нечисла" для команд *ADD, SUB, MUL, MOD, CMP, DIV, LD, LDCFD, LDCDF* до выполнения операции возникает прерывание, сама операция не выполняется, для команд *NEG, ABS, TST* операция выполняется, затем происходит прерывание, $FPS[15]=1$.

Если $FPS[11]=0$, то при получении из памяти "нечисла" операция выполняется, прерывания не происходит, $FPS[15]$ сохраняет свое прежнее значение.

10 разряд (FIU) - маска антипереполнения

Если $FPS[10]=1$, то антипереполнение вызывает прерывание. Мантисса результата операции, вызвавшей переполнение, получается верной, порядок *E* оказывается больше вычисленного на 400, $FPS[15]=1$.

Если $FPS[10]=0$ и произошло антипереполнение, прерывание не возникает, результат операции обнуляется, $FPS[15]$ сохраняет прежнее значение.

9 разряд (FIV) - маска переполнения

Если $FPS[9]=1$, то переполнение вызывает прерывание. Мантисса результата операции, вызвавшей переполнение, получается верной, порядок *E* оказывается меньше правильного на 400, $FPS[15]=1$.

Если $FPS[9]=0$ и произошло переполнение, прерывание не возникает, результат операции обнуляется, $FPS[15]$ сохраняет прежнее значение.

8 разряд (FIC) - ошибка преобразования

Если $FPS[8]=1$ и произошла ошибка преобразования в формат целых чисел, то возникает прерывание, результат операции обнуляется, $FPS[15]=1$.

Если $FPS[8]=0$ и произошла ошибка преобразования, прерывания не возникает, результат операции обнуляется, $FPS[15]$ сохраняет свое прежнее значение.

Ошибка преобразования возможна только в командах *STCFI, STCFL, STCDI, STCDL*.

7 разряд (FD) - указатель формата вещественного числа

Если $FPS[7]=1$, устанавливается D-формат, если $FPS[7]=0$, устанавливается F-формат

6 разряд (FL) - указатель формата целого числа

Если $FPS[6]=1$, устанавливается L-формат, если $FPS[6]=0$, устанавливается I-формат

5 разряд (FT) - указатель формы округления

Если $FPS[5]=1$, результат операции усекается. Если $FPS[5]=0$, результат операции округляется к ближайшему представимому.

4 разряд не используется

3 разряд (FN) - признак знака результата

FPP устанавливает $FPS[3]=1$, если результат операции отрицательный, иначе $FPS[3]=0$.

2 разряд (FZ) - признак нулевого результата

FPP устанавливает $FPS[2]=1$, если результат операции равен нулю, иначе $FPS[2]=0$.

1 разряд (FV) - признак переполнения

FPP устанавливает $FPS[1]=1$, если при выполнении операции произошло переполнение порядка, иначе $FPS[3]=0$.

0 разряд (FC) - признак невозможности преобразования в целое

FPP устанавливает $FPS[0]=1$, если при выполнении команд *STCFI, STCFL, STCDI, STCDL* был перенос из старшего разряда, иначе $FPS[0]=0$.

3.4. Регистры особого случая FEA И FEC

Когда в FPP возникает размаскированный особый случай, т.е. когда один из разрядов $FPS[11...8]$ равен 1 и возникла соответствующая ошибка, тогда независимо от того произошло фактически прерывание или нет (что зависит уже от FID):

- 1) $FPS[15]=1$;

2) FEA содержит адрес исполняемой команды;

3) FEC содержит 4-разрядный код особого случая в соответствии с табл.3.1.

Содержимое FEC и FEA можно получить, выполнив команду STST.

Тип особого случая	Восьмеричный код
Запрещенный код команды FPP	2
Деление на нуль	4
Ошибка преобразования	6
Переполнение	10
Антипереполнение	12
"Нечисло"	14
Аппаратное прерывание (не реализовано)	16

Таблица 3.1.

4. Команды сопроцессора

4.1. Адресация данных

4.1.1. Адресация целых чисел

Для адресации целых чисел в командах FPP приняты обозначения:

SRC (SouRCe address) - источник;

DST (DeSTination address) - приемник.

SRC и DST адресуют ячейки памяти и регистры центрального процессора теми же способами, что и в командах центрального процессора со следующими особенностями:

- 1) При автоинкрементной и автодекрементной адресациях приращение адреса составляет 2 для I-формата и 4 для L-формата;
- 2) При регистровой и непосредственной адресациях обмен FPP с регистром центрального процессора или памятью ведется одним 16-разрядным словом (старшим во всех указанных форматах).

4.1.2. Адресация вещественных чисел

Для адресации вещественных чисел в командах FPP приняты обозначения:

FSRC (Floating SouRCe address) - источник;

FDST (Floating DeSTination) - приемник.

FSRC и FDST адресуют аккумуляторы FPP и ячейки памяти. В обоих случаях адресация осуществляется теми же способами, что и в командах центрального процессора со следующими особенностями:

- 1) Регистровая адресация указывает на аккумуляторы FPP, при этом можно использовать AC0...AC5. Аккумуляторы AC6 и AC7 являются запрещенными. Использование их приводит к возникновению прерывания с кодом 2 (запрещенный код команды);
- 2) При автоинкрементной и автодекрементной адресациях приращение адреса составляет 4 для F-формата и 10 для D-формата;
- 3) При непосредственной адресации обмен FPP с памятью ведется одним 16-разрядным словом, содержащим знак (S), порядок (E) и старшие 7 разрядов мантиссы. Остальные разряды доопределяются нулями при приеме числа в FPP.

4.1.3. Классы команд по адресации

Команда	Действие
---------	----------

MULF/MULD ADDF/ADDD SUBF/SUBD MODF/MODD LDF/LDD CMPF/CPMD DIVF/DIVD TSTF/TSTD	Только чтение операндов (количество слов по FD)
LDCFD LDCDF	Только чтение операндов (количество слов обратно указанному в FD)
LDCIF/LDCID* LDCLF/LDCLD*	Только чтение операндов (количество слов по FL)
LDFPS* LDEXP*	Только чтение одного слова
CLRF/CLRD STF/STD	Только запись операндов (количество слов по FD)
STCFD STCDF	Только запись операндов (количество слов обратно указанному в FD)
STST*	Запись двух операндов
STFPS* STEXP*	Запись одного слова
STCFI/STCFL* STCDI/STCDL*	Только запись операндов (количество слов по FL)
ABSF/ABSD NEGF/NEGD	Чтение и запись операндов
CFCC*	Прием из FPP признаков FN,FZ,FV,FC
SETF/SETD SETI/SETL	Нет ни чтения, ни записи операндов

В командах отмеченных символом "*" при нулевой моде или непосредственной адресации возможны действия только с одним словом, причем при нулевой моде имеются в виду не регистры FPP, а регистры целочисленной и адресной арифметики.

4.2. Форматы команд

4.2.1. Безоперандные команды

К безоперандным относятся команды: CFCC, SETF, SETD, SETI, SETL.

15	12	11	0
1111	CCCCCCCCCCCC		

11...0 - код операции.

Рис. 4.1. Формат безоперандных команд

4.2.2. Однооперандные команды

К однооперандным относятся команды: LDFPS, STFPS, STST, CLRF, CLRD, TSTF, TSTD, ABSF, ABSD, NEGF, NEGD.

15	12 11	6 5	0
1111	CCCCC	000000	

11...6 - код операции;

5...0 - операнд (FDST, FSRC, DST, SRC).

Рис. 4.2. Формат однооперандных команд

4.2.3. Двухоперандные команды

К двухоперандным относятся команды: MULF, MULD, MODF, MODD, ADDF, ADDD, LDF, LDD, SUBF, SUBD, CMPF, CMPD, STF, STD, DIVF, DIVD, STEXP, STCFI, STCFL, STCDI, STCDL, STCFD, STCDF, LDEXP, LDCIF, LDCLF, LDCID, LDCLD, LDCDF, LDCFD.

15	12 11	8 7	6 5	0
1111	CCCC	AC	000000	

11...8 - код операции;

7,6 - номер аккумулятора (0...3);

5...0 - операнд (FDST, FSRC, DST, SRC).

Рис. 4.3. Формат двухоперандных команд

4.3. Описание команд

CFCC - копирование признаков результата

Код команды: 170000

Действие:

FC	C
FV	V
FZ	Z
FN	N

Описание: Значение признаков результата выполнения команды пересылается из FPS в соответствующие разряды регистра состояния центрального процессора (только 4 разряда).

SETF - установка режима одинарной точности вещественного

Код команды: 170001

Действие: 0 FD

Описание: Обнуляется разряд FD (FPS[7]), FPP переходит в режим одинарной точности (F-формат), то есть длина вещественных чисел устанавливается равной 32 разрядам.

SETD - установка режима двойной точности вещественного

Код команды: 170011

Действие: 1 FD

Описание: Устанавливается разряд FD (FPS [7]), FPP переходит в режим двойной точности (D-формат), то есть длина вещественных чисел устанавливается равной 64 разрядам.

SETI - установка режима короткого целого

Код команды: 170002

Действие: 0 FL

Описание: Обнуляется разряд FL (FPS[6]), FPP переходит в режим короткого целого (I-формат), то есть длина целых чисел устанавливается равной 16 разрядам.

SETL - установка режима длинного целого

Код команды: 170012

Действие: 1 FL

Описание: Устанавливается в 1 разряд FL (FPS[6]), FPP переходит в режим длинного целого (L-формат), то есть длина целых чисел устанавливается равной 32 разрядам.

LDFPS - загрузка регистра состояния

Формат команды: 1701SRC

Действие: (SRC) FPS

Описание: Читается слово из памяти или регистра процессора целочисленной арифметики и записывается в регистр состояния FPS. Прерываний не происходит.

STFPS - запись регистра состояния

Формат команды: 1702DST

Действие: (FPS) DST

Описание: Содержимое регистра состояния FPS пересылается в приемник DST. Биты 13,12,4 приемника обнуляются.

STST - запись кода ошибки и адреса команды

Формат команды: 1703DST

Действие:

(FEC) DST

(FEA) DST+2

Описание: Содержимое регистра кода особого случая (FEC) и регистра указателя адреса команды (FEA) пересылается в две соседние ячейки приемника DST и DST+2. При регистровой и непосредственной адресациях пересылается только FEC.

CLRF,CLRD - обнуление

Формат команды: 1704FDST

Действие: 0 FDST

Признаки:

$FC = 0$

$FV = 0$

$FZ = 1$

$FN = 0$

Описание: Обнуляется содержимое приемника FDST, признак FZ устанавливается, остальные признаки сбрасываются.

TSTF,TSTD - проверка

Формат команды: 1705FDST

Действие: Установка признаков FPS [3...0] по результату проверки.

Признаки:

$FC = 0$

$FV = 0$

$FZ = 1$, если $E(FDST) = 0$, иначе $FZ = 0$

$FN = 1$, если $(FDST) \neq 0$, иначе $FN = 0$

Описание: Признаки FZ и FN формируются в зависимости от значения порядка $E(FDST)$ и знака $S(FDST)$ вещественного числа F-формата или D-формата. Признаки FC и FV обнуляются. В случае нерегистровой агрессии при FIUV=0 особый случай "нечисло" после установки признаков вызывает прерывание.

ABSF,ABSD - получение абсолютного значения

Формат команды: 1706FDST

Действие:

0 $S(FDST)$

0 $FDST$, если $E(FDST) = 0$

Признаки:

$FC = 0$

$FV = 0$

$FZ = 1$, если $E(FDST) = 0$, иначе $FZ = 0$

$FN = 0$

Описание: Обнуляется знаковый разряд $S(FDST)$ вещественного числа F-формата или D-формата. Если число имеет нулевой порядок ($E(FDST)=0$), то обнуляется все число. Признак FZ формируется в соответствии со значением порядка числа, признаки FC , FV обнуляются. В случае нерегистровой агрессии и при $FIUV=1$ особый случай "нечисло" после выполнения операции вызывает прерывание.

NEGF,NEGD - изменение знака

Формат команды: 1707FDST

Действие:

0 $FDST$, если $E(FDST) = 0$, иначе инверсия $S(FDST)$

Признаки:

$FC = 0$

$FV = 0$

$FZ = 1$, если $E(FDST) = 0$, иначе $FZ = 0$

$FN = 1$, если $(FDST) \neq 0$, иначе $FN = 0$

Описание: Если число имеет нулевой порядок $E(FDST)=0$, то оно обнуляется. В остальных случаях инвертируется знаковый разряд $S(FDST)$ вещественного числа F-формата или D-формата. Признаки FZ , FN формируются в соответствии с новым значением числа. Признаки FC , FV обнуляются. В случае нерегистровой агрессии и при $FIUV=1$ особый случай "нечисло" после выполнения операции вызывает прерывание.

MULF,MULD - умножение

Формат команды: 171ACFSRC

Действие:

$$P = (AC) * (FSRC)$$

0 AC, если:

$$1) |P| \quad XLL \text{ и } FIU = 0$$

$$2) |P| \quad XUL \text{ и } FIV = 0$$

$$3) E(AC) = 0$$

$$4) E(FSRC) = 0,$$

иначе $P = AC$

Признаки:

$$FC = 0$$

$$FV = 1, \text{ если } |P| \quad XUL, \text{ иначе } FV = 0$$

$$FZ = 1, \text{ если } E(AC) = 0, \text{ иначе } FZ = 0$$

$$FN = 1, \text{ если } (AC) = 0, \text{ иначе } FN = 0$$

Описание: Перемножаются два вещественных числа F-формата или D-формата, находящиеся в аккумуляторе AC и источнике FSRC. Результат заносится в AC с округлением, если $FT=0$ или с усечением, если $FT=1$. XLL - наименьшее вещественное число, представимое в данном формате. XUL - наибольшее вещественное число, представимое в данном формате.

Нулевой результат ($E(AC)=0$) получается в следующих случаях:

$$1) |P| \quad XLL \text{ и прерывание по антипереполнению замаскировано (FIU=0);}$$

$$2) |P| \quad XUL \text{ и прерывание по переполнению замаскировано (FIV=0);}$$

$$3) \text{ Нулевой порядок числа в аккумуляторе (E(AC)=0);}$$

$$4) \text{ Нулевой порядок числа в источнике (E(FSRC)=0).}$$

Во всех других случаях вычисляется 48-разрядное произведение для чисел F-формата и 63-разрядное произведение для чисел D-формата. Далее произведение округляется при $FT=0$ или усекается при $FT=1$ и запоминается в AC.

Признаки FN,FZ формируются по результату в AC, признак FV устанавливается при переполнении, FC обнуляется.

Прерывание возникает в случаях:

$$1) \text{ До выполнения операции для нерегистровых адресаций при особом случае "нечисло", если FIUV=1;}$$

$$2) \text{ После выполнения операции при антипереполнении, если FIU=1;}$$

$$3) \text{ После выполнения операции при переполнении, если FIV=1.}$$

Причем, в последних двух случаях результат фиксируется в AC, мантисса точная, смещенный порядок - неверный.

Точность составляет 1 LSB при $FT=1$ и 1/2 LSB при $FT=0$.

MODF,MODD - умножение с разделением на целую и дробную части

Формат команды: 171(4+AC)FSRC

Действие:

Если $E(AC) = 0$ или $E(FSRC) = 0$, то

0 AC \vee 1

0 AC

иначе:

$P = (AC) * (FSRC)$, $P = N + Q$,

где N - целая часть результата P ,

Q - дробная часть.

N AC \vee 1

Q AC,

где AC \vee 1 - аккумулятор с номером, получающимся в результате дизъюнкции номера AC и 1.

Если AC и AC \vee 1 совпадают (AC нечетный), то целая часть результата затирается дробной.

Признаки:

FC = 0

FV = 1, если $|P| \geq XUL$, иначе FV = 0

FZ = 1, если $E(AC) = 0$, иначе FZ = 0

FN = 1, если (AC) = 0, иначе FN = 0

Описание: Если в любом из сомножителей порядок равен нулю $E(AC)=0$ или $E(FSRC)=0$, то результаты в AC \vee 1 и AC обнуляются. В остальных случаях перемножаются два вещественных числа F-формата или D-формата, находящиеся в аккумуляторе AC и источнике FSRC. Результат (P) разделяется на целую (N) и дробную (Q) части, каждая из которых в виде вещественного числа со знаком результата $S(P)$ засылается в аккумулятор:

N AC \vee 1

Q AC,

При нечетном номере AC в него засылается только дробная часть результата Q .

В зависимости от результата (P) возможны следующие 5 случаев:

1. Если $1 \leq |P| < 2^L$, тогда:

H AC \vee 1

Q AC,

где L - старшие разряды целой (N) части числа ($L=24$ при $FD=0$, $L=56$ при $FD=1$).

Целая часть точная. Дробная часть нормализована и округлена ($FT=0$) или усечена ($FT=1$). Точность дробной части для F-формата равна 1 LSB при $FT=1$ и 1/2 LSB при $FT=0$. Для D-формата ввиду того, что разрядная сетка ограничена 64 разрядами, если при $K \geq 7$ выполняется неравенство: $2^K - N \geq 2^K + 1$, то $K-7$ разрядов дробной части Q могут быть неверными (7 разрядов расширителя справа).

2. Если $|P| \geq 1$ и нет антипереполнения, тогда:

0 AC \vee 1

Q AC.

3) Если $|P| \geq 2^L$ и нет переполнения ($L=24$ при $FD=0$, $L=56$ при $FD=1$), то Q в AC \vee 1 пересылается N усеченное до L разрядов, а в AC - точный ноль:

(усеченное N) AC \vee 1;

0 AC.

4) Если произошло переполнение и прерывание по переполнению размаскировано ($FIV=1$), то старшие L разрядов засылаются в AC \vee 1, AC обнуляется:

(усеченное N) AC \vee 1;

0 AC.

Если произошло переполнение и $FIV=0$, тогда AC \vee 1 и AC обнуляются:

0 AC \vee 1;

0 AC.

5) Если в результате умножения возникло антипереполнение и $FIU=1$, тогда:

$0 \quad AC \vee 1;$

$Q \quad AC.$

Если при антипереполнении $FIU=0$, тогда:

$0 \quad AC \vee 1;$

$0 \quad AC.$

Если $FIU=0$ и точный нуль в $AC \vee 1$ и AC , то ошибка гробной части меньше чем 2^{-128} .

Признаки FN и FZ устанавливаются по гробной части Q , признак FV устанавливается при переполнении, FC обнуляется.

Прерывание возникает в случаях:

1) До выполнения операции для нерегистровых адресаций при особом случае "нечисло", если $FIUV=1$;

2) После выполнения операции при антипереполнении, если $FIU=1$;

3) После выполнения операции при переполнении, если $FIV=1$.

Операция весьма эффективна при переводе чисел из одной системы счисления в другую, а также при вычислении элементарных функций в фазе приведения аргумента в ту область, в которой собственно и происходит вычисление.

ADDF,ADDD - сложение

Формат команды: 172ACFSRC

Действие:

$$P = (AC) + (FSRC)$$

0 AC, если:

1) $|P|$ XLL и FIU = 0

2) $|P|$ XUL и FIV = 0,

иначе P AC

Признаки:

$$FC = 0$$

$$FV = 1, \text{ если } |P| \text{ XUL, иначе } FV = 0$$

$$FZ = 1, \text{ если } E(AC) = 0, \text{ иначе } FZ = 0$$

$$FN = 1, \text{ если } (AC) = 0, \text{ иначе } FN = 0$$

Описание: Складываются два вещественных числа F-формата или D-формата, находящиеся в AC и FSRC. Результат P засылается в AC с округлением при FT=0 или с усечением при FT=1. Признаки FZ, FN формируются по результату в AC, признак FV устанавливается при переполнении, FC обнуляется.

Нулевой результат получается в следующих случаях:

1) $|P|$ XLL и прерывание по антипереполнению замаскировано (FIU=0);

2) $|P|$ XUL и прерывание по переполнению замаскировано (FIV=0).

Прерывание возникает в случаях:

1) До выполнения операции для нерегистровых адресаций при особом случае "нечисло", если FIUV=0;

2) После выполнения операции при антипереполнении, если FIU=1;

3) После выполнения операции при переполнении, если FIV=1.

Точность: результат может быть точным, если знаки операндов разные, а порядки равны или различаются на 1. Во всех других случаях точность результата 1 LSB при FT=1 для операндов F-формата и D-формата. При FT=0 точность равна 1/2 LSB.

LDF,LDD - загрузка

Формат команды: 172(4+AC)FSRC

Действие: (FSRC) AC

Признаки:

$$FC = 0$$

$$FV = 0$$

$$FZ = 1, \text{ если } E(FSRC) = 0, \text{ иначе } FZ = 0$$

$$FN = 1, \text{ если } (FSRC) \neq 0, \text{ иначе } FN = 0$$

Описание: Фещественное число F-формата или D-формата засылается в AC. Признаки FZ, FN формируются в соответствии с содержимым FSRC. Признаки FC, FV обнуляются.

Прерывание возникает для нерегистровой агрессии при возникновении особого случая "нечисло", если FIUV=1, при этом AC не изменяется(т.е.не загружается).

SUBF,SUBD - вычитание

Действие:

$$P = (AC) - (FSRC)$$

0 AC, если:

1) $|P|$ XLL и FIU = 0

2) $|P|$ XUL и FIV = 0,

иначе: P AC

Признаки:

$$FC = 0$$

$$FV = 1, \text{ если } |P| \text{ XUL, иначе } FV = 0$$

$$FZ = 1, \text{ если } E(AC) = 0, \text{ иначе } FZ = 0$$

$$FN = 1, \text{ если } (AC) = 0, \text{ иначе } FN = 0$$

Описание: Вещественное число F-формата или D-формата, находящееся в FSRC, вычитается из числа такого же формата, находящегося в AC. Результат P засылается в AC с округлением при FT=0 или с усечением при FT=1. Признаки FZ, FN формируются по содержимому AC, признак FV устанавливается при переполнении, FC обнуляется.

Нулевой результат получается в следующих случаях:

1) $|P|$ XLL и прерывание по антипереполнению замаскировано (FIU=0);

2) $|P|$ XUL и прерывание по переполнению замаскировано (FIV=0).

Прерывание возникает:

1) До выполнения операции с нерегистровой адресацией при возникновении особого случая "нечисло", если FIUV=1, при этом AC и признаки не изменяются;

2) После выполнения операции при антипереполнении $|P|$ XLL и FIU=1;

3) После выполнения операции при переполнении $|P|$ XUL и FIV=1.

В двух последних случаях мантисса результата верная, порядок - неверный.

Точность: результат может быть точным, если знаки операндов разные, а порядки равны или различаются на 1. Во всех других случаях точность результата 1 LSB при FT=1 для операндов F-формата или D-формата. При FT=0 точность равна 1/2 LSB.

СМРF,СМРD - сравнение

Формат команды: 173(4+AC)FSRC

Действие: $P = (FSRC) - (AC)$

Признаки:

$$FC = 0$$

$$FV = 0$$

$$FZ = 1, \text{ если } P = 0, \text{ иначе } FZ = 0$$

$$FN = 1, \text{ если } P \neq 0, \text{ иначе } FN = 0$$

Описание: Вещественное число F-формата или D-формата, находящееся в AC, вычитается из содержимого FSRC. Сами AC и FSRC не изменяются. Признаки FZ, FN формируются по результату вычитания. FC, FV обнуляются.

Прерывание возникает до выполнения операции в случае нерегистровых агрессий при возникновении особого случая "нечисло" и FIUV=1, при этом признаки не изменяются.

Следует обратить внимание, что в отличие от команды вычитания не только по иному формируются признаки, но и операнды поменялись местами.

STF,STD - запись

Формат команды: 174ACFDST

Действие: (AC) \rightarrow FDST.

Описание: Вещественное число F-формата или D-формата из AC пересылается в FDST, при этом признаки не изменяются. Прерывания не возникают. Команда разрешает запомнить "не число" в памяти из аккумулятора, однако это возможно только если случилось переполнение или антипереполнение и соответствующее прерывание было разрешено.

DIVF, DIVD - деление

Формат команды: 174(4+AC)FSRC

Действие:

Если $E(FSRC) = 0$, то операция не выполняется, иначе:

$P = (AC) / (FSRC)$

0 AC, если:

1) $E(AC) = 0$

2) $|P|$ XLL и FIU = 0

3) $|P|$ XUL и FIV = 0,

иначе: P AC

Признаки:

FC = 0

FV = 1, если $|P|$ XUL, иначе FV = 0

FZ = 1, если $E(AC) = 0$, иначе FZ = 0

FN = 1, если (AC) 0, иначе FN = 0

Описание:

- 1) Если порядок вещественного числа F-формата или D-формата в источнике нулевой $E(FSRC)=0$, то операция не выполняется, AC и признаки не изменяются, возникает прерывание по коду особого случая 4 (деление на нуль). Если $E(FSRC)=0$ и $E(AC)=0$, то операция не выполняется, признаки обнуляются: FC=0, FV=0, FZ=0, FN=0.
- 2) Если порядок числа в AC нулевой $E(AC)=0$, а $E(FSRC) \neq 0$, то результат обнуляется.
- 3) В остальных случаях вычисляется частное от деления $(AC)/(FSRC)$, которое после округления (при FT=0) или усечения (при FT=1) засылается в AC.

Если при делении или округлении возникает антипереполнение при FIU=0 или переполнение при FIV=0, то AC обнуляется. Признаки FZ, FN формируются по результату в AC, признак FV устанавливается при переполнении, FC обнуляется.

Прерывание возникает в случаях:

- 1) До выполнения операции с нерегистровой адресацией при особом случае "нечисло", если FIUV=1.
- 2) До выполнения операции при $E(FSRC)=0$ с кодом особого случая 4 ("деление на нуль").
- 3) После выполнения операции при антипереполнении (FIU=1).
- 4) После выполнения операции при переполнении (FIV=1).

Точность составляет 1 LSB при FT=1 и 1/2 LSB при FT=0.

STEXP - запись порядка

Формат команды: 175ACDST

Действие: E(AC) - 200 DST

Признаки:

$$C = FC = 0$$

$$V = FV = 0$$

$$Z = FZ = 1, \text{ если } (DST) = 0, \text{ иначе } Z = FZ = 0$$

$$N = FN = 1, \text{ если } (DST) = 0, \text{ иначе } N = FN = 0$$

Описание: Порядок вещественного числа F-формата или D-формата, находящегося в AC, преобразуется вычитанием из него смещения 200 в дополнительном коде (восьмеричная с.с.), который заносится в DST.

Признаки FFP и центрального процессора устанавливаются одинаково: FC(C), FV(V) обнуляются, FZ(Z), FN(N) формируются по содержимому DST.

LDEXP - загрузка порядка

Формат команды: 176(4+AC)SRC

Действие:

- 1) $(SRC) + 200 \quad E(AC)$, если $(SRC) \geq 200$,
- 2) $SRC[7...0] + 200 \quad E(AC)$, если $(SRC) \geq 177$ и $FIV = 1$;
- 3) $0 \quad AC$, если $(SRC) \geq 177$ и $FIV = 0$;
- 4) $0 \quad AC$, если $(SRC) \leq -177$ и $FIV = 0$;
- 5) $SRC[7...0] + 200 \quad E(AC)$, если $(SRC) \leq -177$ и $FIV = 1$.

Признаки:

- $FC = 0$
 $FV = 1$, если $(SRC) \geq 177$, иначе $FV = 0$
 $FZ = 1$, если $E(AC) = 0$, иначе $FZ = 0$
 $FN = 1$, если $(AC) = 0$, иначе $FN = 0$

Описание: содержимое SR рассматриваемое как целое число I-формата, суммируется с 200, и 8 младших разрядов результата засылаются в разряды порядка аккумулятора AC.

Нулевой порядок результата получается в следующих случаях:

- 1) При антипереполнении $(SRC) \leq -177$, если $FIV=0$;
- 2) При переполнении $(SRC) \geq 177$, если $FIV=0$.

Прерывание возникает в случаях:

- 1) при антипереполнении $(SRC) \leq -177$ при $FIV=1$;
- 2) при переполнении $(SRC) \geq 177$ при $FIV=1$.

STCFI, STCFL, STCDI, STCDL - запись вещественного числа F-формата или D-формата с преобразованием в целое число I-формата или L-формата

Формат команды: 175(4+AC)DST

Действие:

$C_{XY}(AC) \quad DST$, если $-IL - 1 \leq C_{XY}(AC) \leq IL + 1$,
иначе 0 DST .

Признаки:

$C = FC = 0$, если $-IL - 1 \leq C_{XY}(AC) \leq IL + 1$, иначе $C = FC = 1$

$V = FV = 0$

$Z = FZ = 1$, если $(DST) = 0$, иначе $Z = FZ = 0$

$N = FN = 1$, если $(DST) \neq 0$, иначе $N = FN = 0$

Описание: команды выделяют целую часть вещественного числа F-формата или D-формата, расположенного в AC, преобразуя ее в целое число I-формата или L-формата. Дробная часть числа всегда отбрасывается независимо от значения FT.

C_{XY} обозначает преобразование вещественного числа типа X в целое число типа Y, где X = F (при FD=0) или D (при FD=1), Y = I (при FL=0) или L (при FL=1)

$C_{XY}(AC)$ обозначает само целое число, полученное в результате преобразования. Если оно не превосходит допустимой разрядной сетки, т.е. выполняется условие:

$-IL - 1 \leq C_{XY}(AC) \leq IL + 1$,

то число разлагается в DST. Здесь IL - максимальное целое число.

Если указанное условие не выполняется, то устанавливается признак FC=1 и DST обнуляется.

Если преобразование производится в целое число L-формата (32 разряда) то в случае регистровой адресации DST, в нем запоминаются только старшие (31...16) разряды числа.

Признаки результата для FPP и центрального процессора устанавливаются одинаково. FC(C), FZ(Z), FN(N) формируются по результату, FV(V) обнуляются.

Прерывание возможно в том случае, когда целое число не помещается в указанной разрядной сетке и прерывание по ошибке преобразования размаскировано (FIC=1, FID=0).

Точность: результат преобразования точный, если дробная часть вещественного числа равна нулю, а целая часть не превышает установленной разрядной сетки в соответствии с FL.

STCFD, STCDF - запись вещественного числа F-формата или D-формата с преобразованием в вещественное число D-формата или F-формата

Формат команды: 176ACFDST

Действие:

0 FDST, если $E(AC) = 0$;
0 FDST, если $FD = 1$, $FT = 0$, $FIV = 0$ и произошло переполнение,
иначе: $C_{XY}(AC)$ FDST.

Признаки:

$FC = 0$
 $FV = 1$, если преобразование вызывает переполнение, иначе $FV = 0$
 $FZ = 1$, если $E(FDST) = 0$, иначе $FZ = 0$
 $FN = 1$, если $(FDST) \neq 0$, иначе $FN = 0$

Описание: При нулевом порядке исходного числа $E(AC) = 0$ результатом преобразования будет точный нуль ($FDST=0$).

Если при преобразовании числа D-формата ($FD=1$) происходит переполнение при округлении ($FT=0$) и прерывание по переполнению замаскировано ($FIV=0$), то в FDST засылается точный нуль ($FDST=0$).

В остальных случаях: $(FDST) = C_{XY}(AC)$, где C_{XY} обозначает преобразование вещественного числа типа X в вещественное число типа Y:

$X = F$ и $Y = D$, если $FD = 0$;
 $X = D$ и $Y = F$, если $FD = 1$.

$C_{XY}(AC)$ обозначает само преобразованное число.

Если $FD=0$, то число F-формата из AC пересылается в старшие (63...32) разряды FDST, младшие (31...0) разряды FDST обнуляются. Если $FD=1$, то число D-формата из AC округляется ($FT=0$) или усекается ($FT=1$) до числа F-формата и пересылается в старшие разряды FDST, а младшие (31...0) разряды FDST при нулевой моде (т.е. младшие разряды регистров FPP) остаются прежними.

Прерывание возникает при выполнении команды STCDF в случае переполнения при округлении, если прерывание по переполнению размаскировано ($FIV=1$).

Точность: команда STCFD точная. Команда STCDF имеет точность 1 LSB при $FT=1$ и 1/2 LSB при $FT=0$.

LDCIF, LDCLF, LDCID, LDCLD - загрузка с преобразованием целого числа I-формата или L-формата в вещественное число F-формата или D-формата.

Формат команды: 177ACSRC

Действие: $C_{YX}(SRC)$ AC.

Признаки:

$$FC = 0$$

$$FV = 0$$

$$FZ = 1, \text{ если } E(AC) = 0, \text{ иначе } FZ = 0$$

$$FN = 1, \text{ если } (AC) \neq 0, \text{ иначе } FN = 0$$

Описание: C_{YX} обозначает преобразование целого числа типа Y в вещественное число типа X:

$$Y = I \text{ (при } FL=0) \text{ или } L \text{ (при } FL=1),$$

$$X = F \text{ (при } FD=0) \text{ или } D \text{ (при } FD=1).$$

$C_{YX}(SRC)$ обозначает само преобразованное число.

Для команд LDCLF и LDCLD в случае регистровой и непосредственной адресаций из SRC поступают только 16 разрядов, которые в FPP для числа L-формата становятся старшими (63...32), а младшие (31...0) разряды определяются нулями.

При выполнении команды LDCLF мантисса вещественного числа округляется ($FT=0$) или усекается ($FT=1$) до 24 разрядов.

Точность: команды LDCIF, LDCID, LDCLD - точные, команда LDCLF имеет точность 1 LSB при $FT=1$ и 1/2 LSB при $FT=0$.

LDCDF, LDCFD - загрузка вещественного числа D-формата или F-формата с преобразованием в вещественное число F-формата или D-формата

Формат команды: 177(4+AC)FSRC

Действие:

0 AC, если $E(FSRC) = 0$;
0 AC, если $FD = 0$, $FT = 0$, $FIV = 0$ и произошло переполнение,
иначе: $C_{XY}(FSRC)$ AC.

Признаки:

$FC = 0$
 $FV = 1$, если преобразование приводит к переполнению, иначе $FV = 0$
 $FZ = 1$, если $E(AC) = 0$, иначе $FZ = 0$
 $FN = 1$, если $(AC) = 0$, иначе $FN = 0$

Описание: Если вещественное число, находящееся в FSRC, имеет нулевой порядок, то в AC засылается точный нуль. Если при преобразовании числа D-формата ($FD=0$) происходит переполнение при округлении ($FT=0$) и прерывание по переполнению замаскировано ($FIV=0$), то в AC засылается точный нуль.

В остальных случаях: $(AC) = C_{XY}(FSRC)$, где C_{XY} обозначает преобразование вещественного числа типа X в вещественное число типа Y:

$X = F$ и $Y = D$, если $FD = 1$;
 $X = D$ и $Y = F$, если $FD = 0$;

Прерывания могут возникать в двух случаях:

- 1) при возникновении переполнения при округлении, если прерывание по переполнению размаскировано ($FIV=1$);
- 2) до выполнения операции в случае нерегистровых агрегаций при передаче из памяти "нечисла", если $FIUV=1$, при этом AC неизменяется.

Точность: команда LDCFD точная. Команда LDCDF имеет точность 1 LSB при $FT=1$ и 1/2 LSB при $FT=0$.

5. Система команд сопроцессора

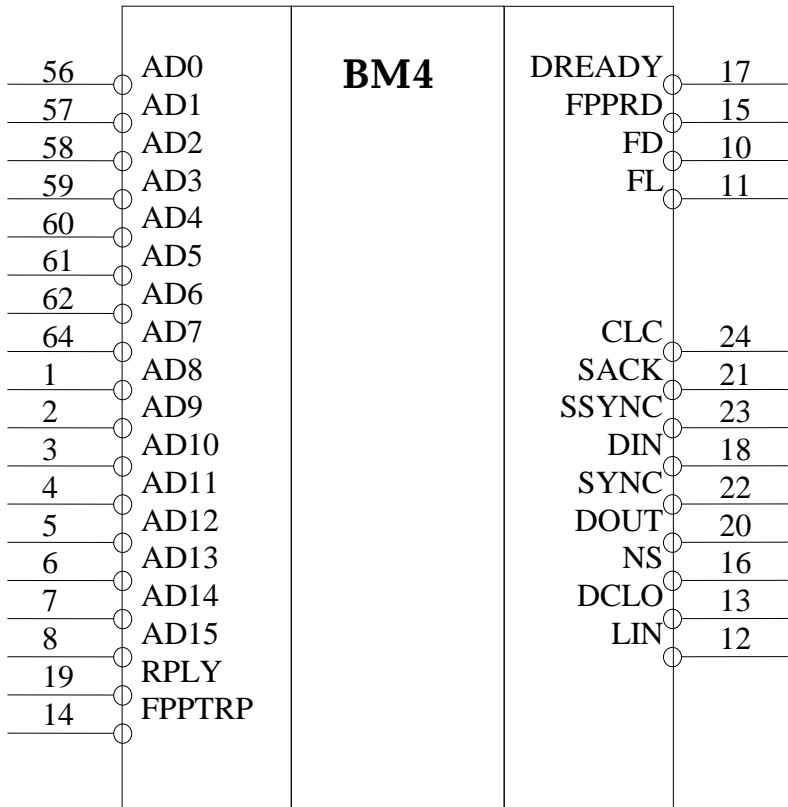
Мнемоника	Код	Наименование команды
MULF/MULD	171ACSS	Умножение с одинарной/двойной точностью
ADDF/FDDD	172ACSS	Сложение с одинарной/двойной точностью
SUBF/SUBD	173ACSS	Вычитание с одинарной/двойной точностью
STF/STD	174ACDD	Запись операнда с одинарной/двойной точностью
STEXP	175ACDD	Запись порядка
STCFD/STCDF	176ACDD	Запись и преобразование вещественного числа из одинарной точности в двойную и наоборот
LDCIF/LDCID, LDCLF/LDCLD	177ACSS	Чтение и преобразование целого числа одинарной/двойной точности в вещественное число одинарной/двойной точности
MODF/MODD	171(4+AC)SS	Умножение с одинарной/двойной точностью и выделение целой и дробной части произведения
LDF/LDD	172(4+AC)SS	Чтение с одинарной/двойной точностью
CMPF/CMPD	173(4+AC)SS	Сравнение с одинарной/двойной точностью
DIVF/DIVD	174(4+AC)SS	Деление с одинарной/двойной точностью
STCFI/STCDI, STCFL/STCDL	175(4+AC)DD	Запись и преобразование вещественного числа одинарной/двойной точности в целое число одинарной/двойной точности
LDEXP	176(4+AC)SS	Чтение порядка
LDCDF/LDCFD	177(4+AC)SS	Чтение и преобразование вещественного числа одинарной точности в двойную и наоборот
LDFPS	1701SS	Чтение слова состояния
STFPS	1702DD	Запись слова состояния
STST	1703DD	Запись регистра ошибок и адреса прерывания
CLRF/CLRD	1704DD	Очистка числа одинарной/двойной точности
TSTF/TSTD	1705DD	Тестирование с одинарной/двойной точностью
ABSF/ABSD	1706DD	Вычисление абсолютной величины с одинарной/двойной точностью
NEGF/NEGD	1707DD	Изменение знака числа с одинарной/двойной точностью
CFCC	170000	Пересылка 4 разрядов регистра состояния
SETF	170001	Установка режима одинарной точности для чисел с плавающей запятой
SETI	170002	Установка режима одинарной точности для чисел с фиксированной запятой
SETD	170011	Установка режима двойной точности для чисел с плавающей запятой
SETL	170012	Установка режима двойной точности для чисел с фиксированной запятой
	1700(4-7)(0-7) 1700(2-3)(0-7) 1700(0-1)(4-7) 1700(0-1)3 170010	Резервные коды команд
	17(01-77)0(6,7)	Запрещенные коды команд

AC - регистр общего назначения процессора с плавающей запятой.

SS - адрес источника операнда

DD - адрес приемника операнда

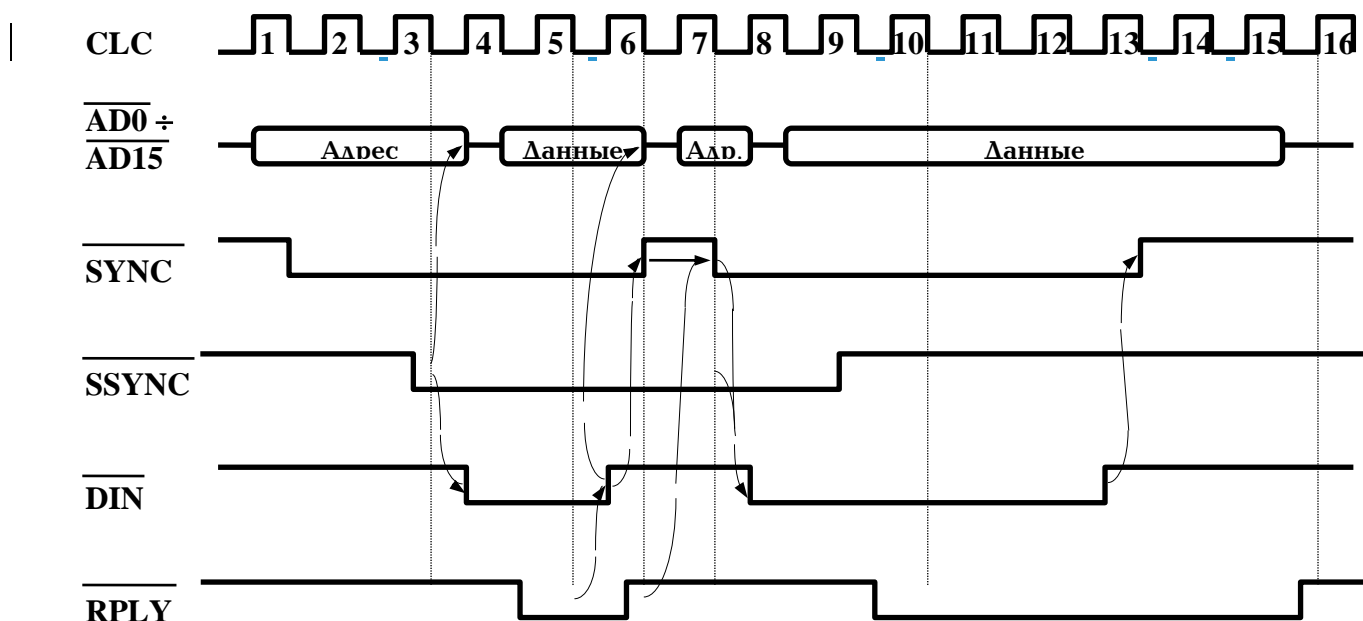
6. Назначение выводов микросхемы 1836BM4



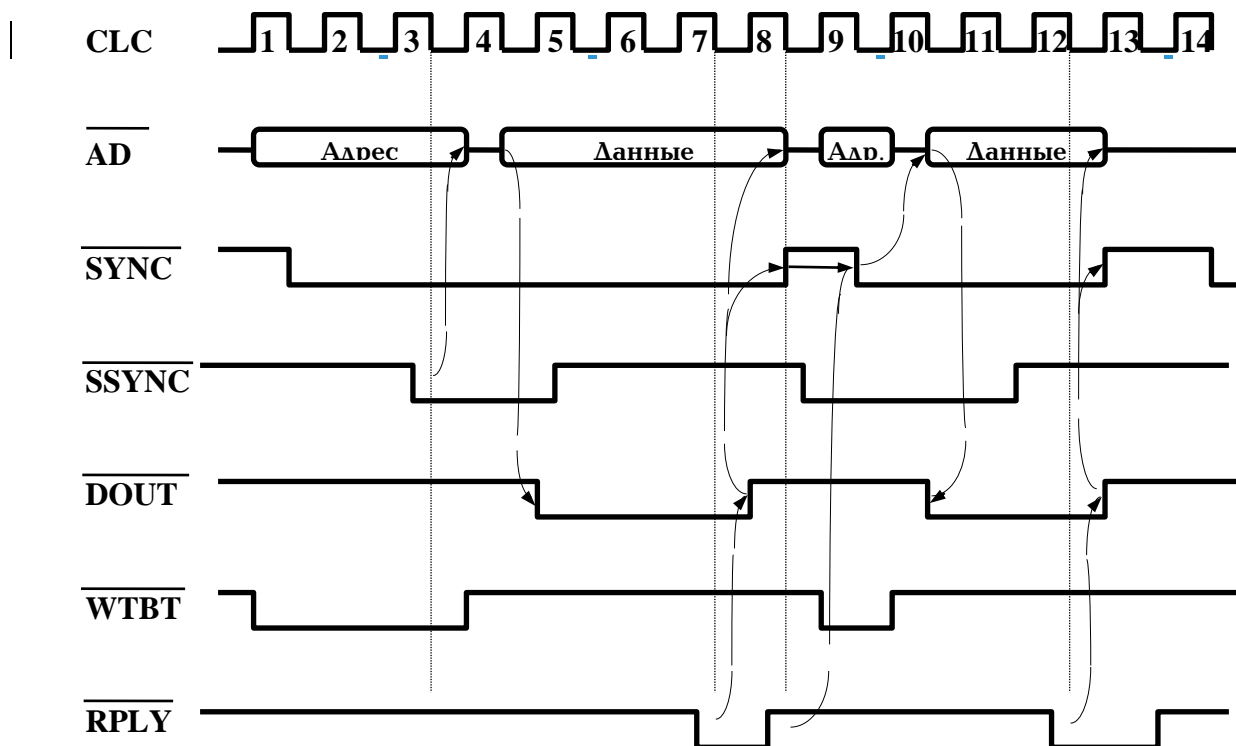
Номер	Обозначение	Назначение
1	AD8	Восьмой разряд адреса-данных системной магистрали
2	AD9	Девятый разряд адреса-данных системной магистрали
3	AD10	Десятый разряд адреса-данных системной магистрали
4	AD11	Одиннадцатый разряд адреса-данных системной магистрали
5	AD12	Двенадцатый разряд адреса-данных системной магистрали
6	AD13	Тринадцатый разряд адреса-данных системной магистрали
7	AD14	Четырнадцатый разряд адреса-данных системной магистрали
8	AD15	Пятнадцатый разряд адреса-данных системной магистрали
9	0V	Общий вывод
10	FD	Признак двойной точности
11	FL	Признак двойного целого
12	LIN	Сигнал начала выполнения команды
13	DCL0	Сигнал включения источника питания
14	FPPTRP	Сигнал прерывания
15	FPPRD	Сигнал готовности
16	NS	Сигнал приема команды
17	DREADY	Сигнал готовности данных
18	DIN	Сигнал управления вводом данных
19	RPLY	Сигнал ответа приемника информации
20	DOUT	Сигнал управления выводом данных
21	SACK	Сигнал подтверждения прямого запроса
22	SYNC	Сигнал синхронизации обмена
23	SSYNC	Сигнал синхронизации устройства
24	CLC	Тактовый импульс
25	0V	Общий вывод
26-29		Не используется
30	U	Вывод питания от источника напряжения
31-32		Не используется
33	0V	Общий вывод
34-41		Не используется
42	U	Вывод питания от источника напряжения
43-55		Не используется
56	AD0	Нулевой разряд адреса-данных системной магистрали
57	AD1	Первый разряд адреса-данных системной магистрали
58	AD2	Второй разряд адреса-данных системной магистрали
59	AD3	Третий разряд адреса-данных системной магистрали
60	AD4	Четвертый разряд адреса-данных системной магистрали
61	AD5	Пятый разряд адреса-данных системной магистрали
62	AD6	Шестой разряд адреса-данных системной магистрали
63	U	Вывод питания от источника напряжения
64	AD7	Седьмой разряд адреса-данных системной магистрали

7. Временные диаграммы обмена

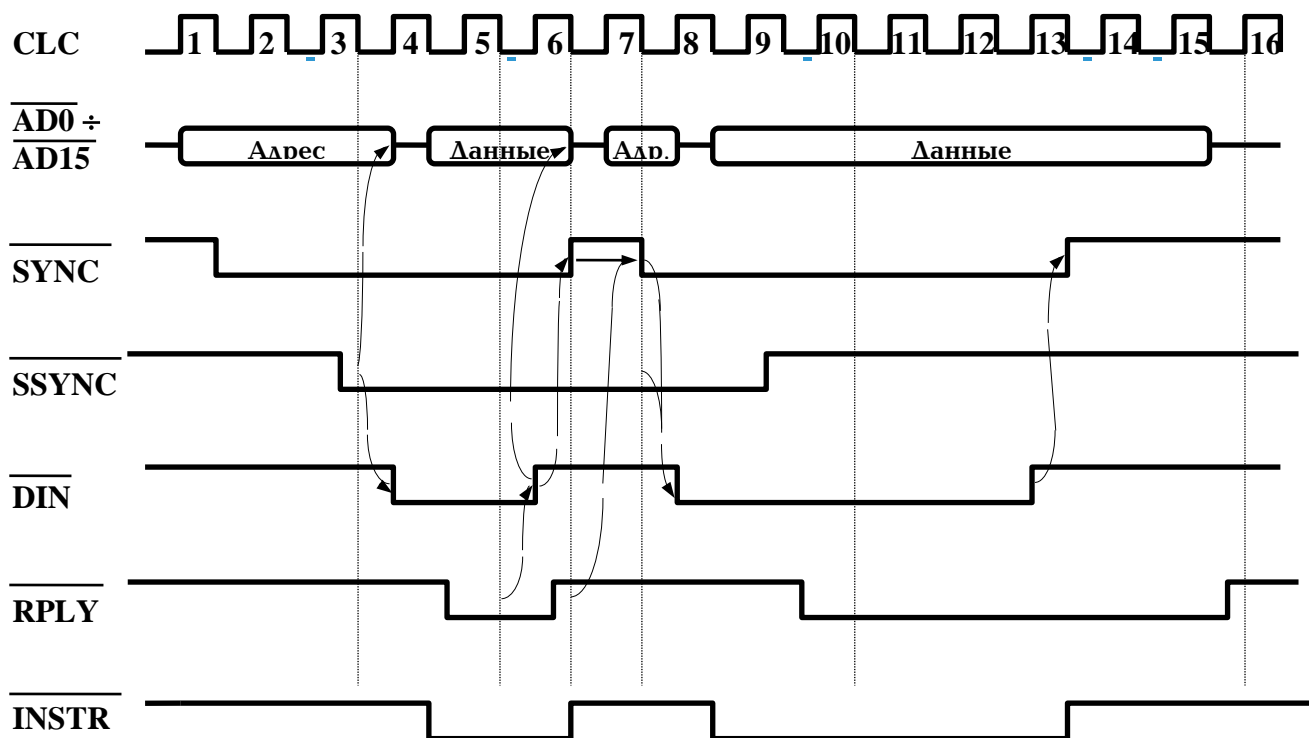
7.1. Временная диаграмма чтения данных по адресу



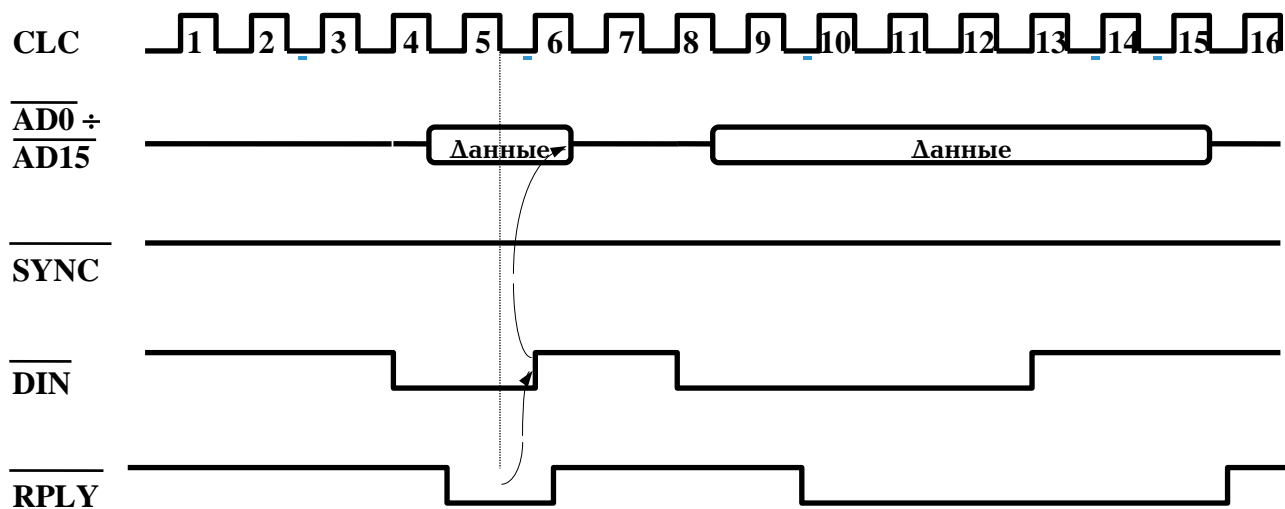
7.2. Временная диаграмма записи данных по адресу



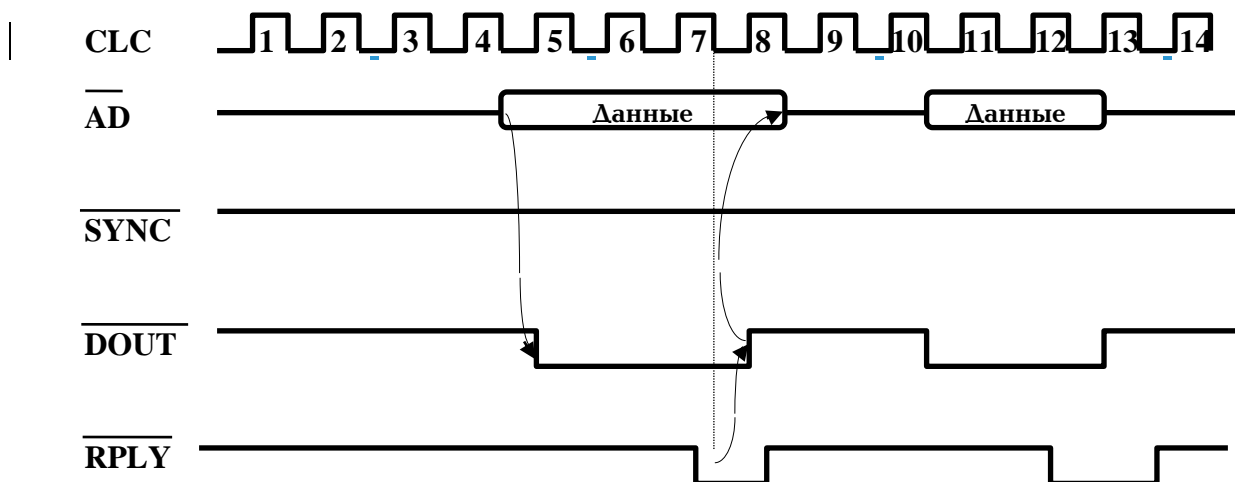
7.3. Временная диаграмма чтения команды



7.4. Временная диаграмма передачи данных из ВМ4 в ВМ3



7.5. Временная диаграмма передачи данных из ВМ3 в ВМ4



Приложение 1. Система команд процессора 1836BM3

Мнемоника	Код	Наименование команды
HALT	000000	Останов
WAIT	000001	Ожидание
RTT	000002	Возврат из прерывания
BPT	000003	Командное прерывание для отладки
IOT	000004	Командное прерывание для ввода/вывода
RESET	000005	Сброс внешних устройств
RTT	000006	Возврат из прерывания
JMP	0001DD	Безусловный переход
RTS	00020R	Возврат из подпрограммы
JSR	004RDD	Переход к подпрограмме
EMT	104000-104377	Командное прерывание для системных программ
TRAP	104400-104777	Командное прерывание
NOP	000240	Нет операции
CLC	000241	Очистка флага C
CLV	000242	Очистка флага V
CLZ	000244	Очистка флага Z
CLN	000250	Очистка флага N
SEC	000261	Установка флага C
SEV	000262	Установка флага V
SEZ	000264	Установка флага Z
SEN	000270	Установка флага N
SCC	000277	Установка всех разрядов (N,Z,V,C)
CCC	000257	Очистка всех разрядов (N,Z,V,C)
SWAB	0003DD	Перестановка байтов
CLR(B)	*050DD	Очистка
COM(B)	*051DD	Инвертирование
INC(B)	*052DD	Прибавление единицы
DEC(B)	*053DD	Вычитание единицы
NEG(B)	*054DD	Изменение знака
ADC(B)	*055DD	Прибавление переноса
SBC(B)	*056DD	Вычитание переноса
TST(B)	*057DD	Проверка
ROR(B)	*060DD	Циклический сдвиг вправо
ROL(B)	*061DD	Циклический сдвиг влево
ASR(B)	*062DD	Арифметический сдвиг вправо
ASL(B)	*063DD	Арифметический сдвиг влево
MARK	0064NN	Восстановление SP
SXT	0067DD	Расширение знака
MTPS	1064SS	Запись PSW
MFPS	1067DD	Чтение PSW
MOV(B)	*1SSDD	Пересылка
CMP(B)	*2SSDD	Сравнение
BIT(B)	*3SSDD	Проверка разрядов
BIC(B)	*4SSDD	Очистка разрядов
BIS(B)	*5SSDD	Установка разрядов
XOR	074RDD	Исключающее ИЛИ
ADD	06SSDD	Сложение
SUB	16SSDD	Вычитание
BR	0004XX	Ветвление безусловное

BNE	0010XX	Ветвление, если не равно (нулю)
BEQ	0014XX	Ветвление, если равно (нулю)
BGE	0020XX	Ветвление, если больше или равно (нулю)
BLT	0024XX	Ветвление, если меньше (нулю)
BGT	0030XX	Ветвление, если больше (нулю)

<i>BLE</i>	<i>0034XX</i>	<i>Ветвление, если меньше или равно (нулю)</i>
<i>SOB</i>	<i>077RNN</i>	<i>Вычитание единицы и ветвление</i>
<i>BPL</i>	<i>1000XX</i>	<i>Ветвление, если плюс</i>
<i>BMI</i>	<i>1004XX</i>	<i>Ветвление, если минус</i>
<i>BHI</i>	<i>1010XX</i>	<i>Ветвление, если больше</i>
<i>BLOS</i>	<i>1014XX</i>	<i>Ветвление, если меньше или равно</i>
<i>BVC</i>	<i>1020XX</i>	<i>Ветвление, если нет переполнения</i>
<i>BVS</i>	<i>1024XX</i>	<i>Ветвление, если есть переполнение</i>
<i>BHIS,BCC</i>	<i>1030XX</i>	<i>Ветвление, если больше или равно</i>
<i>BLO,BCS</i>	<i>1034XX</i>	<i>Ветвление, если меньше</i>
<i>MUL</i>	<i>070RSS</i>	<i>Умножение</i>
<i>DIV</i>	<i>071RSS</i>	<i>Деление</i>
<i>ASH</i>	<i>072RSS</i>	<i>Сдвиг на N разрядов одного слова</i>
<i>ASHC</i>	<i>073RSS</i>	<i>Сдвиг на N разрядов двойного слова</i>
<i>MFPD</i>	<i>1065SS</i>	<i>Засылка слова (D-данные, I-инструкция) в стек</i>
<i>MFPI</i>	<i>0065SS</i>	<i>текущей моды по адресу предварительной моды</i>
<i>MTPD</i>	<i>1066DD</i>	<i>Засылка слова из стека текущей моды по адресу</i>
<i>MTPI</i>	<i>0066DD</i>	<i>предварительной моды</i>
	<i>X07XXX</i> <i>075XXX</i> <i>076XXX</i> <i>0000(4-7)X</i> <i>00(0,2)(2,3)1X</i> <i>000(0,2)1X</i> <i>000007</i>	<i>Резервные коды команд</i>

SS - поле адреса операнда источника;

DD - поле адреса операнда приемника;

XX - смещение (8 разрядов);

NN - смещение (6 разрядов);

Знак "" имеет значение "0" для команд с полными словами и "1" - для байтовых команд.*

При отсутствующем сопроцессоре его команды отходят к группе резервных.

Приложение 2. Назначение выводов микросхемы 1836ВМ3

Номер	Обозначение	Наименование
1	DIN	Сигнал управления вводом данных
2	U	Вывод питания от источника напряжения
3	WTBT	Сигнал управления запись-байт
4	IAK	Сигнал разрешения запроса на прерывание
5	LIN	Сигнал загрузки команды
6	CLC	Тактовый импульс
7	WO	Сигнал включения
8	FD	Признак двойной точности
9	FL	Признак длинного целого
10	DREADY	Сигнал готовности данных
11	HLTM	Сигнал отладочного режима
12	FPPRD	Сигнал готовности
13	FPPTRP	Сигнал прерывания
14	DLCO	Сигнал источника питания постоянного напряжения
15	IRQ0	Сигнал запроса на прерывание с приоритетом 4
16	IRQ1	Сигнал запроса на прерывание с приоритетом 5
17	IRQ2	Сигнал запроса на прерывание с приоритетом 6
18	IRQ3	Сигнал запроса на прерывание с приоритетом 7
19	HLT	Сигнал останова
20	ACLO	Сигнал источника питания переменного напряжения
21	ET	Сигнал разрешения зависания
22	EVNT	Сигнал радиального прерывания
23	U	Вывод питания от источника напряжения
24-25	0V	Общий вывод
26	UMAP	Сигнал разрешения преобразования адресов
27	TA	Сигнал выдачи адреса
28	SEL	Сигнал выборки при HALT mode
29	BS	Сигнал обращения к банку внешних устройств
30	CLR	Сигнал установки внешних устройств
31	0V	Общий вывод
32-34		Не используется
35	A21/NS	Сигнал адреса-инструкции
36	A20	Двадцатый разряд адреса системной магистрали
37	A19	Девятнадцатый разряд адреса системной магистрали
38	A18	Восемнадцатый разряд адреса системной магистрали
39	A17	Семнадцатый разряд адреса системной магистрали
40	A16	Шестнадцатый разряд адреса системной магистрали
41	AD15	Пятнадцатый разряд адреса-данных системной магистрали
42	AD14	Четырнадцатый разряд адреса-данных системной магистрали
43	AD13	Тринадцатый разряд адреса-данных системной магистрали
44	AD12	Двенадцатый разряд адреса-данных системной магистрали
45	AD11	Одиннадцатый разряд адреса-данных системной магистрали
46	AD10	Десятый разряд адреса-данных системной магистрали
47	AD9	Девятый разряд адреса-данных системной магистрали
48	AD8	Восьмой разряд адреса-данных системной магистрали
49	AD7	Седьмой разряд адреса-данных системной магистрали
50	AD6	Шестой разряд адреса-данных системной магистрали
51	AD5	Пятый разряд адреса-данных системной магистрали

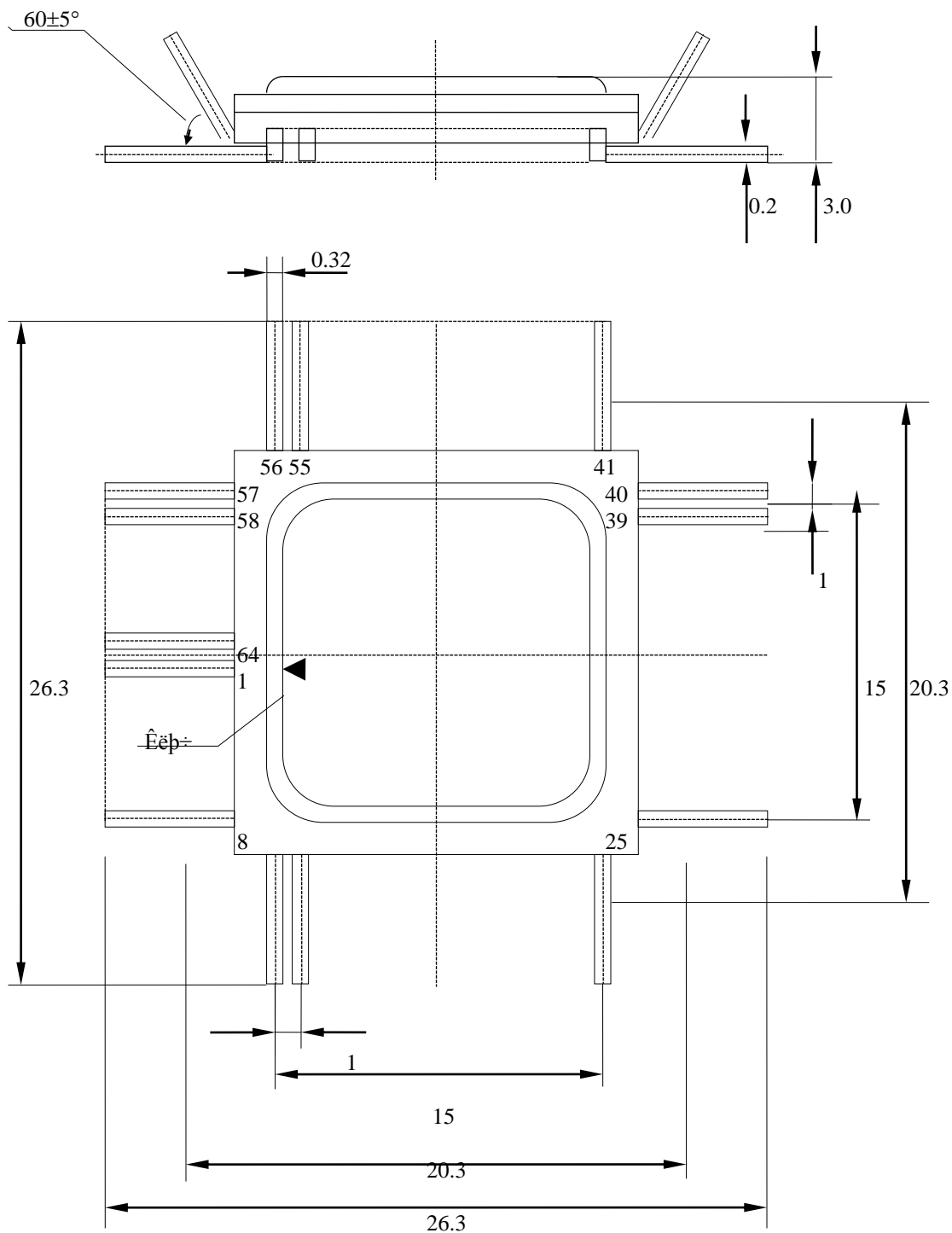
52	AD4	Четвертый разряд адреса-данных системной магистрали
53	AD3	Третий разряд адреса-данных системной магистрали
54	AD2	Второй разряд адреса-данных системной магистрали
55	AD1	Первый разряд адреса-данных системной магистрали
56	AD0	Нулевой
57	0V	Общий вывод
58	DMR	Сигнал запроса прямого доступа к памяти
59	SACK	Сигнал подтверждения запроса прямого доступа к памяти
60	DMG	Сигнал разрешения прямого доступа к памяти
61	RPLY	Сигнал ответа приемника информации
62	SSYNC	Сигнал синхронизации устройства
63	SYNC	Сигнал синхронизации обмена
64	DOUT	Сигнал управления выводом данных

Приложение 3. Статические параметры микросхемы 1836ВМ4

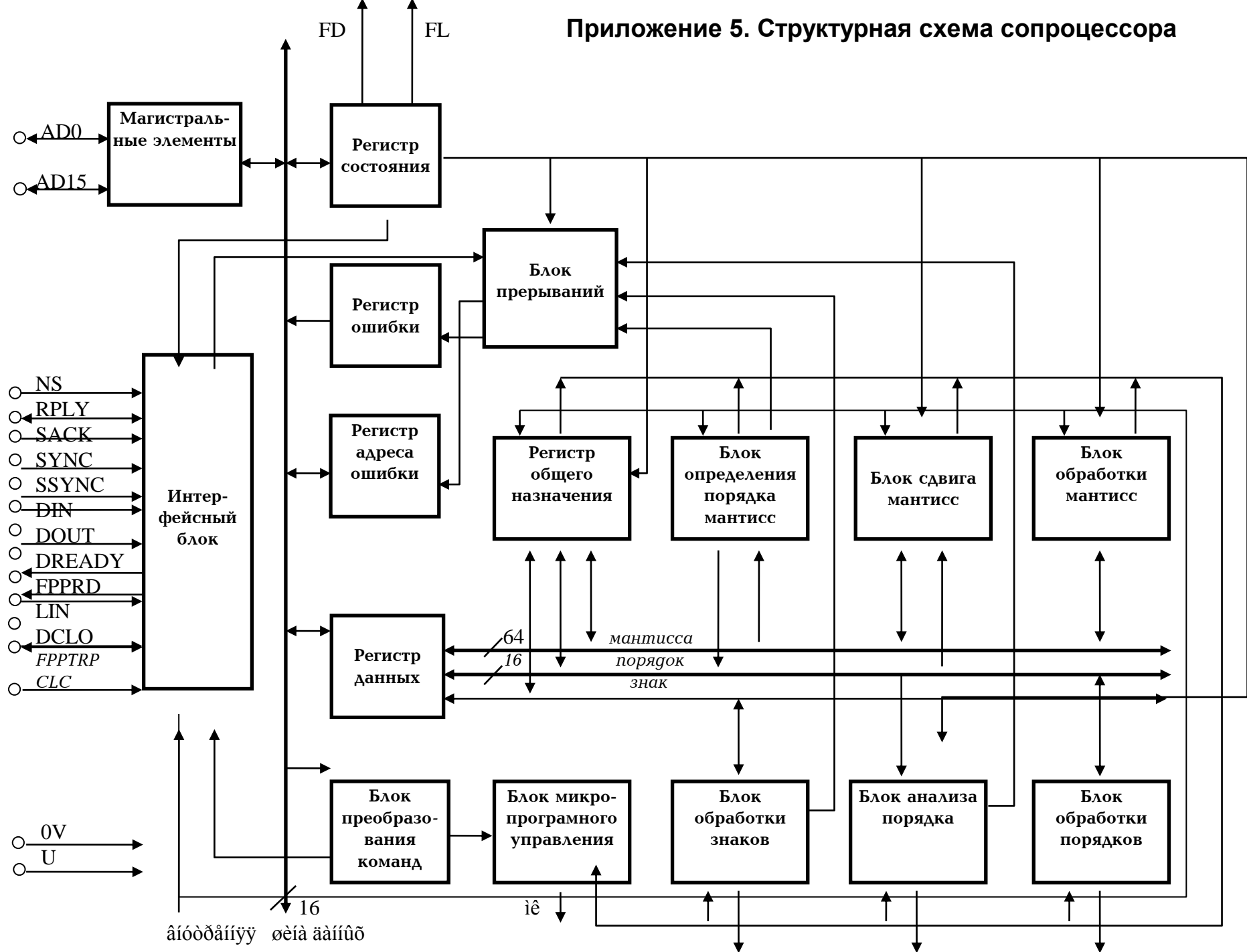
Наименование параметра	Буквенное обозначение	MIN.	MAX.	Примечание
Выходное напряжение низкого уровня, В	U_{OL}	-	0.4	
Выходное напряжение высокого уровня, В	U_{OH}	2.4	-	
Входное напряжение низкого уровня, В	U_{IL}	-	0.8	При $4.5B \leq U_{DD} \leq 5.5B$
Входное напряжение высокого уровня, В	U_{IH}	2.0	-	При $4.5B \leq U_{DD} \leq 5.5B$
Напряжение питания, В	U_{DD}	-0.3	7.0	
Ток потребления, мА	I_{CC}	-		
Допустимое напряжение на входах, В	U_{IN}	-0.3	$U_{DD}+0.3$	
Допустимый входной ток, мА	I_{IN}	-50	50	При температуре 25°C
Рабочая температура, °C	T_{strg}	-50	150	
Максимально допустимая температура, °C	T_{max}	-	260	В течение 10 секунд
Ток утечки на входах, мкА	I_{IL}, I_{IH}	-	1.0	При $4.5B \leq U_{DD} \leq 5.5B$

Приложение 4. Габаритный чертеж микросхемы 1836ВМ4

(Металлокерамический корпус типа Н18.64 - 2В)



Приложение 5. Структурная схема сопроцессора



Для контактов:

АО ИТТuП

103460 Москва, Зеленоград, Институт Точной Технологии и Проектирования

тел/факс: (095) 532-95-50, (095) 531-44-20

Генеральный директор: Машевич П.Р. тел: (095) 532-07-02